

AROS -pitanja sa predavanja za I kolokvijum

1. Koliko je vreme u nanosekundama jednog ciklusa mašine čija je brzina takta 2,5 GHz?

$$1/2,5 \text{ GHz} = 0,4 \text{ nsec}$$

2. Kolika je učestalost takta mašine u MHz čije je vreme trajanja jednog ciklusa 10 sec?

$$1/10 \text{ nsec} = 100 \text{ MHz}$$

3. Neka su date dve različite mašine koje izvršavaju isti program koji je kompajliran istim kompajlerom koristeći isti skup podataka. Ako mašina A ima prosečan CPI 2,4 i vreme jednog ciklusa 0,5 nsec, a mašina B ima prosečan CPI 3,1 i vreme jednog ciklusa 0,4 nsec, koja je mašina brža?

$$2,4 * 0,5 = 1,20$$

$$3,1 * 0,4 = 1,24$$

Brža je mašina A.

4. Koja je razlika između procesorskog vremena (CPU time) i potrošnog vremena (elapsed time)

Procesorsko vreme sadrži samo vreme kada program koristi CPU za izvršavanje instrukcija. To vreme ne uključuje vreme čekanja za U/I aktivnosti ili kada drugi programi koriste CPU u time-sharing sistemu.

Potrošeno vreme uključuje sva ova vremena.

5. Procesor koji ste projektovali radi na 2,0 GHz. Zbog konkurencije potrebno je projektovati procesor koji radi na 2,5 GHz. Pod pretpostavkom da možete da menjate samo CPI koji je trenutno 2,0, kolika je nova vrednost za CPI ako je potrebno da novi procesor bude isto tako brz kao i postojeći

Da bi procesori bili podjednako brzi potrebno je da imaju isti proizvod (CPI – vreme jednog ciklusa), tj.

$$2.0 \text{ GHz} - \text{vreme jednog ciklusa } 0,5 \text{ nsec}$$

$$2.5 \text{ GHz} - \text{vreme jednog ciklusa } 0,4 \text{ nsec (novo vreme)}$$

$$2.5 * 0.5 = \text{novi CPI} * 0.4$$

$$\text{Novi CPI} = 2.5$$

6. Objasniti razliku između spoljašnjih i unutrašnjih prekida („interrupts“)?

Unutrašnji prekidi su prekidi koje generiše procesor – kao rezultat nastanka greške prilikom izvršavanja tekuće instrukcije ili kao rezultat izvršavanja instrukcije prekida int.

Spoljašnji prekidi su prekidi koje generišu kontroleri perifernih uređaja kada su uređaji spremni za prenos podataka, ili kontrolni uređaji koji kontrolišu ispravnost rada memorije, magistrale ili na primer, napajanja.

7. Objasniti šta je kontekst procesora?

Procesor obuhvata:

sadržaj brojača naredbi,

sadržaj statusnog registra (PSW),

sadržaj registara podataka,

sadržaj adresnih registara,

sadržaj indeksnih registara,

sadržaj baznih registara,

sadržaj registara opšte namene.

8. Gde se najčešće čuva kontekst procesora?

Kontekst procesora najčešće se čuva na steku.

9. Kako se servisiraju prekidi kada se više prekida generiše istovremeno?

Prekidi se servisiraju po prioritetu.

10. Kako se može ostvariti prekid posle svake instrukcije?

Postoji poseban režim rada procesora koji to omogućava. U PSW-u (statusnoj reči procesora) se nalazi poseban bit u koji se upisuju vrednosti 1 ili 0. Tako se programskim putem omogućava ili ne omogućava režim rada procesora prekid posle svake instrukcije.

11. Kako se programski može generisati prekid?

Postoji posebna instrukcija INT kojom se može programski generisati prekid i izvršiti skok na zadatu prekidnu rutinu. U adresnom delu INT instrukcije nalazi se adresa prekidne rutine, tj. broj ulaza u tabelu adresa prekidnih rutina(vektor tabela).

12. Koliko adresnih linija ima procesor sa 64 GB memorije?

- $64\text{ GB} = 2^6 * 2^{30}\text{ B} = 2^{36}\text{ B}$, znači, ima 36 adresnih linija

13. Da li je moguća sledeća memorija:

9-bitna adresa

2048 ćelija

16-bitna veličina ćelije(mem. lokacije)? Obrazložiti odgovor.

$2^9 = 512$ memorijskih lokacija, a posto je zadato 2048 => nije moguća

14. Da li je moguća sledeća memorija:

10-bitna adresa

1000 ćelija

1024-bitna velicina ćelije(mem. lokacije)? Obrazložiti odgovor.

$2^{10} = 1024$ memorijskih lokacija, a pošto je zadato samo 1000 => moguća je

15. Navesti 2 osnovna nedostatka formata instrukcija sa 3 memorijske adrese (troadresnih instrukcija).

- Velika dužina instrukcija

- 3 memorijska pristupa

16. Gde se nalaze operandi za instrukciju sabiranja kada se koristi format nulaadresnih instrukcija?

Dve lokacije na vrhu „stack“-a.

17. Koliki je broj pristupa potreban za izvršenje ove instrukcije? ADD[100][200]

Potrebna su 3 memorijska pristupa

1) za dobijanje 1. operanda

2) za dobijanje 2. operanda

3) za upis rezultata

18. Šta radi ova instrukcija? ADD[R2][R3]R1

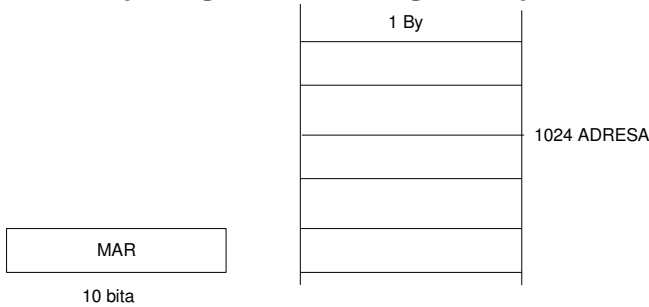
Vrši sabiranje vrednosti operanda R2 i R3 i rezultat se upisuje u R1. Troadresni format.

19. Koliki je broj mogućnosti za veličinu memorije koja se može adresirati? Format instrukcije 4 By, jednoadresni format?

4By (32 bita)

2^{31} – broj instrukcija	2^1 – veličina memorije (memorijskih adresa)
2^{30}	2^2
.	.
.	.
.	.
2^1	2^{31}

20. Da li je moguća ovakva organizacija memorije i da li ima smisla?



Moguća je i ima smisla.

21. MAR – 10 bita, 2048 adresa, 1 By

Nije moguća. Nedovoljna veličina MAR da bi se moglo pristupiti adresi.

22. MAR – 12 bita, 2048 adresa, 1024 bita

Moguća. Veličina MAR je dovoljna da se pristupi adresi, ali nema smisla jer je neracionalna.

23. MAR – 32 bita, 10 adresa, 16 bita

Moguća, ali nije racionalna.

24.

SUB R1, R2, R1
 ADD R1, R1, 5
 AND R1, R1, 9
 SHR R1, R1, 1

R1= 0000 0000

R1= 0000 0101

0000 1001

R1= 0000 0001

R1= 0000 0000

25. Ako magistrala zahteva 5 ns za postavljanje zahteva, 5 ns za arbitriranje i ako je potrebno 7,5 ns u proseku za završetak operacije nakon što je dobijen pristup magistrali, da se data magistrala može koristiti za izvršavanje 50 miliona operacija u sekundi? Obrazložiti.

$5+5+7,5=17,5$ ns je potrebno magistrali da izvrši jednu operaciju.

$1/50.000.000=20$ ns

A u traženom slučaju jedna operacija traje 20 s što znači da je naša magistrala brža i može da se koristi za izvršavanje ovog zadatka.

26. Ako disk rotira brzinom 10000 obr/min koliko je prosečno kašnjenje usled rotacije? Ako data staza na disku ima 1024 sektora koliko je potrebno vreme za prenos sektora?

Potrebno je 6ns da se završi jedna rotacija diska. U proseku, upisno/čitajuća glava će morati da čeka polovinu jedne rotacije pre nego što se dostigne potreban sektor, tako da je prosečno vreme kašnjenja usled rotacije 3 ns.

27. Proizvođač hard diskova želi projekat diska čiji je kapacitet 30 GB ili više. Ako proizvođač koristi tehnologiju koja omogućava sektore veličine 1024 bajtova, 2048 sektora po stazi i 4096 staza po ploči, koliko je magnetnih ploča potrebno? Pretpostavlja se fiksiran broj sektora po stazi.

$1024*2048*4096=8$ GB (ili $8*2^{30}$ bajtova) po jednoj magnetnoj ploči.

Prema tome za ukupan kapacitet od 30GB potrebne su 4 magnetne ploče.

28. Navesti i objasniti 3 tipa promašaja („misses”) kod keš („cache”) memorije.

Obavezan („Compulsory”) – cache je prazan na početku izvršavanja programa.

Konflikt („Conflict”) – već je upisana vrednost unutar keš lokacije.

Kapacitet („Capacity”) – keš nije dovoljno veliki da memoriše čitav radni skup programa.

29. Dopisati SRAM ili DRAM u sledećim rečenicama.

DRAM se često koristi za glavnu memoriju.

SRAM se konstruiše od kola koja su slična D flip flagu.

SRAM se često koristi za keš memoriju.

DRAM je sporija memorija.

30. A machine has 12 bit instructions with two different formats that is, one-address instructions and two-address instruction. Each address is 4 bits long and all instructions consist of only an opcode and the address(es). Assuming that the instruction encoding space is completely utilized and both kinds of instruction exist, what is the maximum number of two-address instructions? Justify your answer briefly.

4 bita

OPCODE	A1	A2
--------	----	----

12 bita

ADRESA 4 bita

Max 2 - adresnih instrukcija = 15 dvoadresnih instrukcija

Koliki je maksimalan broj jednoadresnih instrukcija?

16

31. A given computer is built on a PUSH-POP architecture. It has the following assembly language instructions: PUSH, POP, & ADD. Write the assembly code for C=A+B

PUSH A PUSH B
 PUSH B PUSH A
 ADD ADD
 POP C POP C

32. Use truth tables to prove the absorption law (Korišćenjem tabela istinitosti dokazati zakon absorpcije).

$$X + X * Z = X$$

X	Z	$X \wedge Z$	$X + X \wedge Z$
0	0	0	0
0	1	0	0
1	0	0	1
1	1	1	1

33. Korišćenjem tabela istinitosti dokazati zakon absorpcije.

$$\overline{X + X * Y} = \overline{X} + Y$$

X	Y	$X + X * Y$	$\overline{X + X * Y}$	$\overline{X} + Y$	$\overline{X + X * Y} = \overline{X} + Y$
0	0	0	1	0	0
0	1	1	0	1	1
1	0	1	0	0	1
1	1	1	0	0	1